

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-219091

(43)Date of publication of application : 19.08.1997

(51)Int.Cl.

G11C 11/401

(21)Application number : 08-246385

(71)Applicant : SAMSUNG ELECTRON CO LTD

(22)Date of filing : 18.09.1996

(72)Inventor : RYU SEIKAN
SON BUNKAI

(30)Priority

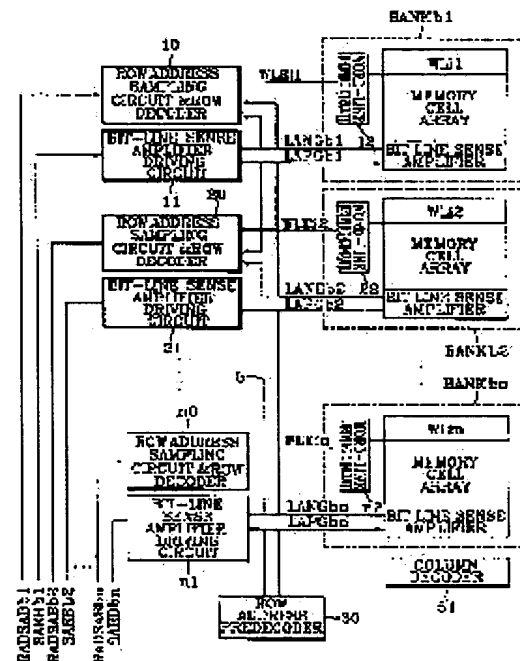
Priority number : 95 9530478 Priority date : 18.09.1995 Priority country : KR

(54) SEMICONDUCTOR MEMORY HAVING MULTIBANK STRUCTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To control effective operation times of the activating and precharging of word lines and the sensing operations of bit line sense amplifiers in the memory having multibank structure sharing a row address pre-decoder and the output lines of the row address pre-decoder.

SOLUTION: N pieces of banks b1 to bn share a row address pre-decoder 30 and its output line 5. Then, this memory has sampling circuit and row decoders 10 to n0 receiving controls of row address sampling control signal RADSAB b1 to bn and bit sense amplifier driving circuits 11 to n1 receiving controls of bit line sense enable control signals SAEBb1 to SAEBbn. Moreover, signals RADSABs are generated a prescribed time later according to a first control signal for bank selections by a row strobe buffer responding to a system clock, the inverse of RAS and a bank selection signal. Signals SAEBs are generated after the delay of a prescribed time later than a row address sampling control signal according to the first control signal.



LEGAL STATUS

[Date of request for examination]

04.06.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-219091

(43) 公開日 平成9年(1997)8月19日

(51) IntCl⁸

G11C 11/401

識別記号

庁内整理番号

F I

G11C 11/34

技術表示箇所

362H

362C

審査請求 未請求 請求項の数5 OL (全8頁)

(21) 出願番号 特願平8-246385

(22) 出願日 平成8年(1996)9月18日

(31) 優先権主張番号 1995 P 30478

(32) 優先日 1995年9月18日

(33) 優先権主張国 韓国 (KR)

(71) 出願人 390019839

三星電子株式会社

大韓民国京畿道水原市八達区梅灘洞416

(72) 発明者 柳 濟煥

大韓民国京畿道水原市勤善区高等洞50番地
4号

(72) 発明者 孫 文會

大韓民国ソウル特別市中浪区面牧3洞596
番地9号

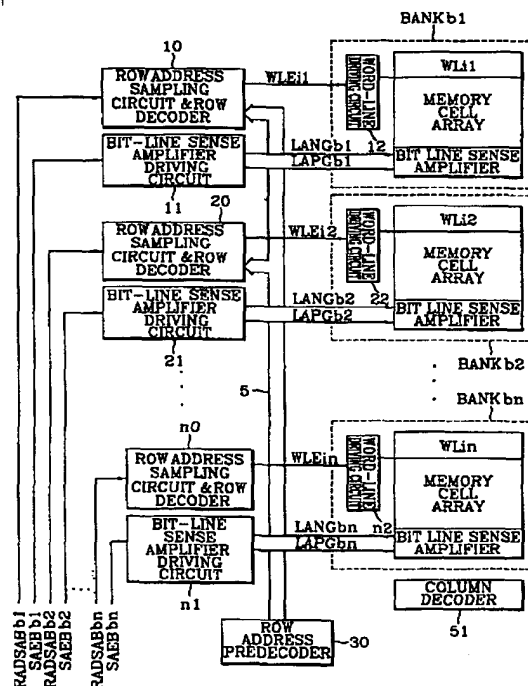
(74) 代理人 弁理士 高月 猛

(54) 【発明の名称】 マルチバンク構造の半導体メモリ装置

(57) 【要約】

【課題】 ロードアドレスプリデコーダ及びロードアドレスプリデコーダの出力線を共有するマルチバンク構造のメモリ装置について、ワード線の活性化、プリチャージ、ビット線センスアンプの感知動作の効率的動作時間制御を行えるようにする。

【解決手段】 n 個のバンク $b1 \sim bn$ がロードアドレスプリデコーダ30とその出力線5を共有する。そして、ロードアドレスサンプリング制御信号 $RADSABb1 \sim b n$ の制御を受けるロードアドレスサンプリング回路及びロードデコーダ10 $\sim n0$ と、ビット線感知エネーブル制御信号 $SAEBb1 \sim SAEBb n$ の制御を受けるビット線センスアンプ駆動回路11 $\sim n1$ と、をもつ。信号 $RADSAB$ は、システムクロック、バー-RAS、バンク選択アドレス信号に応じるローストローブバッファによるバンク選択のための第1制御信号に応じて所定時間後に発生される。信号 $SAEB$ は、第1制御信号に応じてロードアドレスサンプリング制御信号よりも所定時間遅延後に発生される。



【特許請求の範囲】

【請求項1】 システムクロックによるローアドレスの一部をデコードするローアドレスプリデコーダ及び該ローアドレスデコーダの出力線を多数のバンクで共有するマルチバンク構造としたメモリセルアレイを有する半導体メモリ装置において、

システムクロック、ローアドレスストローブ信号、及びバンク選択アドレス信号に応じてバンクを選択し、ローアドレスサンプリングのタイミング制御のための第1制御信号を発生するローストローブバッファと、前記第1制御信号に応じて所定時間後に、各バンクのワード線活性化及び非活性化を制御するためにローアドレスサンプリング制御信号を発生するローアドレスサンプリング制御信号発生回路と、前記ローアドレスサンプリング制御信号に従ってローアドレスプリデコーダの出力信号をラッチする各バンクのローデコーダと、を備えることを特徴とする半導体メモリ装置。

【請求項2】 ローアドレスサンプリング制御信号発生回路は、多数のバンクごとに独立して備えられる請求項1記載の半導体メモリ装置。

【請求項3】 ローストローブバッファは、ロー活性化時に第1制御信号を論理“ハイ”出力するように調節する活性化スイッチと、ロープリチャージ動作時に前記第1制御信号を論理“ロウ”出力するように調節するプリチャージスイッチと、を有する請求項1記載の半導体メモリ装置。

【請求項4】 ローアドレスサンプリング制御信号発生回路は、ロープリチャージ動作期間のうちにローアドレスサンプリング制御信号を発生してワード線エネーブル信号によるプリチャージ動作を行い、このときにビット線感知エネーブル制御信号がディスエーブルされるようにしてある請求項1記載の半導体メモリ装置。

【請求項5】 システムクロックによるローアドレスの一部をデコードするローアドレスプリデコーダ及び該ローアドレスデコーダの出力線を多数のバンクで共有するマルチバンク構造としたメモリセルアレイを有する半導体メモリ装置において、システムクロック、ローアドレスストローブ信号、及びバンク選択アドレス信号に応じてバンクを選択し、ローアドレスサンプリング及びビット線感知エネーブルのタイミング制御のための第1制御信号を発生するローストローブバッファと、前記第1制御信号に応じて所定時間後に、各バンクのワード線活性化及び非活性化を制御するためにローアドレスサンプリング制御信号を発生するローアドレスサンプリング制御信号発生回路と、前記第1制御信号に応じて前記ローアドレスサンプリング制御信号よりも所定時間遅延後に、各バンクのビット線センスアンプのエネーブル及びディスエーブルを制御するためにビット線感知エネーブル制御信号を発生するビット線感知エネーブル制御信号発生回路と、を備えることを

特徴とする半導体メモリ装置。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】本発明は半導体メモリ装置に関し、特に、マルチバンク構造の半導体メモリ装置のワード線とビット線の活性化及びプリチャージに関する。

【0002】

【従来の技術】中央処理装置(CPU)及びメモリにおいて、DRAMのバンク構造が増加すればするほど活性化(Activation)状態に保持可能なワード線が多くなり、これにより、キャッシュミス(Cache miss)のときにDRAMのページキャッシュ記憶装置的中率(Page hit ratio)が高められ、従ってデータアクセス動作を速くできる。最近では、DRAMのバンク数を増加させてキャッシュとして用いられているSRAMをDRAMに置き換えようとする傾向もある。

【0003】図1は、マルチバンク構造のメモリの構成を示したブロック図である。図示のように、メモリセルアレイ及びビット線センスアンプからなる4つのバンク(BANK)0, 1, 2, 3を配置し、そして、ローアドレスプリデコーダ10, 30, 60, 80をそれぞれ対応するバンク0, 1, 2, 3ごとと別途に配設してあり、各ローアドレスプリデコーダの出力線3, 5, 7, 9も別途に配設してある。更に、カラムデコーダ50, 51, 52, 53もやはり各バンク別に配設してある。従って、バンクを増加させる場合にチップサイズがかなり増大するという問題が生じる。

【0004】図2は、ローアドレスプリデコーダ及びローアドレスプリデコーダの出力線を共有する積層マルチバンクの構造を示している。図示のように、ローアドレスバッファ、ローアドレスプリデコーダ10, 30, 60, 80及び各ローアドレスプリデコーダの出力線3, 5, 7, 9のそれぞれを、バンク群a(バンクa1~am)、バンク群b(バンクb1~bm)、バンク群c(バンクc1~cm)、バンク群d(バンクd1~dm)内で共有するようにしている。そして、各バンクのワード線のエネーブル及びディスエーブルとビット線センスアンプの感知動作について、外部システムの前クロックのロー活性化命令(Active command)による活性化動作が次のクロックで与えられる他のバンクのロープリチャージ命令(Precharge command)によってディスエーブルされるようになっている。従って、ワード線のディスエーブル前にプリチャージ動作が開始する、或いは、ワード線のエネーブル前にビット線センスアンプが感知動作を開始するというような問題が発生する。

【0005】

【発明が解決しようとする課題】上記従来技術に鑑みて本発明では、マルチバンク構造のメモリ装置において、ワード線の活性化、プリチャージ、ビット線センスアンプの感知動作の効率的動作時間制御の可能なローストロ

ープバッファ、ローアドレスサンプリング回路及びローデコーダを提供する。また、ローアドレスプリデコーダ及びローアドレスプリデコーダの出力線を共有するマルチバンク構造のメモリ装置において、ワード線の活性化、プリチャージ、ビット線センスアンプの感知動作の効率的動作時間制御を行えるビット線感知エネーブル信号発生回路及びローアドレスサンプリング制御信号発生回路を提供する。

【0006】

【課題を解決するための手段】この目的のために本発明は、システムクロックによるローアドレスの一部をデコードするローアドレスプリデコーダ及び該ローアドレスデコーダの出力線を多数のバンクで共有するマルチバンク構造としたメモリセルアレイを有する半導体メモリ装置において、システムクロック、ローアドレスストローブ信号、及びバンク選択アドレス信号に応じてバンクを選択し、ローアドレスサンプリングのタイミング制御のための第1制御信号を発生するローストローブバッファと、前記第1制御信号に応じて所定時間後に、各バンクのワード線活性化及び非活性化を制御するためにローアドレスサンプリング制御信号を発生するローアドレスサンプリング制御信号発生回路と、前記ローアドレスサンプリング制御信号に従ってローアドレスプリデコーダの出力信号をラッチする各バンクのローデコーダと、を備えることを特徴とする。ローアドレスサンプリング制御信号発生回路は、多数のバンクごとに独立して備えられるものとする。更に、ローアドレスサンプリング制御信号発生回路は、ロープリチャージ動作期間のうちにローアドレスサンプリング制御信号を発生してワード線エネーブル信号によるプリチャージ動作を行い、このときにビット線感知エネーブル制御信号がディスエーブルされるようにしてあるとよい。また、ローストローブバッファは、ロー活性化時に第1制御信号を論理“ハイ”出力するように調節する活性化スイッチと、ロープリチャージ動作時に前記第1制御信号を論理“ロウ”出力するように調節するプリチャージスイッチと、を有する構成とすることができる。

【0007】或いは本発明によれば、システムクロックによるローアドレスの一部をデコードするローアドレスプリデコーダ及び該ローアドレスデコーダの出力線を多数のバンクで共有するマルチバンク構造としたメモリセルアレイを有する半導体メモリ装置において、システムクロック、ローアドレスストローブ信号、及びバンク選択アドレス信号に応じてバンクを選択し、ローアドレスサンプリング及びビット線感知エネーブルのタイミング制御のための第1制御信号を発生するローストローブバッファと、前記第1制御信号に応じて所定時間後に、各バンクのワード線活性化及び非活性化を制御するためにローアドレスサンプリング制御信号を発生するローアドレスサンプリング制御信号発生回路と、前記第1制御信

号に応じて前記ローアドレスサンプリング制御信号よりも所定時間遅延後に、各バンクのビット線センスアンプのエネーブル及びディスエーブルを制御するためにビット線感知エネーブル制御信号を発生するビット線感知エネーブル制御信号発生回路と、を備えることを特徴とする。

【0008】

【発明の実施の形態】以下、本発明の実施形態につき添付図面を参照して詳細に説明する。

【0009】図3に、マルチバンク構造のマルチバンク制御の経路を示したブロック図を示す。図示のように、縦方向 n 個のバンク $b1 \sim bn$ がローアドレスプリデコーダ30とローアドレスプリデコーダの出力線5を共有する。またカラムデコーダ51はバンク $b1 \sim bn$ を制御する。このマルチバンク構造は、ローアドレスサンプリング制御信号 $RADSABb1 \sim RADSABbn$ それぞれの制御を受けるローアドレスサンプリング回路及びローデコーダ $10 \sim n0$ と、ビット線感知エネーブル制御信号 $SAEBb1 \sim SAEBbn$ の制御に従ってバンク $b1 \sim bn$ のビット線センスアンプを制御するための N センスアンプ駆動信号 $LANGb1 \sim LANGbn$ 及び P センスアンプ駆動信号 $LAPGb1 \sim LAPGb n$ を発生するビット線センスアンプ駆動回路 $11 \sim n1$ と、ローアドレスサンプリング回路及びローデコーダ $10 \sim n0$ の各出力信号であるワード線エネーブル駆動信号 $WLEi1 \sim WLEin$ をそれぞれ受けてワード線駆動信号 $WLi1 \sim WLin$ を発生するワード線駆動回路 $12 \sim n2$ と、から構成されている。

【0010】同期式DRAM(Synchronous Dynamic RAM)は、外部クロックの立ち上がりエッジ(Rising Edge)に同期して1つのバンクのロー活性化命令(Row Active Command)を与え、次の外部クロックで他のバンクのロープリチャージ命令(Row Precharge Command)を与えることができる。また逆に、外部クロック立ち上がりエッジでロープリチャージ命令を与えることもできる。

【0011】図3に示すように、ローアドレスプリデコーダ30とローアドレスプリデコーダの出力線5を多数のバンク、例えばバンク $b1 \sim bn$ が共有する場合、バンク $b1$ のロー活性化命令が与えられてから次のクロックでバンク $b2$ のロープリチャージ命令が与えられるときに、前のクロックで与えられるロー活性化命令による該当バンクのビット線センスアンプの感知動作は遅く開始され、次のクロックの他のバンクプリチャージによるロープリチャージ動作は速く行われる。そこで、前のクロックの活性化命令による活性化動作が次のクロックで与えられる他のバンクのプリチャージ命令によりディスエーブルされるのを防止するために、各バンクが独立してロー活性化時にローアドレスプリデコーダの出力をサンプリング方式でラッチしてワード線を活性化し、また、プリチャージ動作時にローアドレスサンプリング回

路及びローデコーダのプリチャージ動作を行うための制御信号RADSEBと、ロー活性化又はプリチャージ動作時にビット線センスアンプの感知エネーブル及びディスエネーブルを制御する信号SAEBを各バンクが別途に用いている。

【0012】図4は、マルチバンク構造のバンク制御信号発生回路の回路図である。図示のように、第1制御信号PRb1～PRbnを入力としてローアドレスサンプリング制御信号RADSEBb1～RADSEBbnを発生させるローアドレスサンプリング制御信号発生回路10-1～10-nと、第1制御信号PRb1～PRbnを入力としてビット線感知エネーブル制御信号SAEBb1～SAEBbnを発生させるビット線感知エネーブル制御信号発生回路11-1～11-nと、ローアドレスストロブ信号バーRAS、外部システムクロックCLK、及びバンク選択アドレス信号BAi(i=0～n)に応じて第1制御信号PRb1～PRbnを発生させるローストロブバッファ(Row Strobe Buffer)100と、から構成されている。

【0013】ローストロブバッファ100と、ローアドレスサンプリング制御信号発生回路10-1～10-n及びビット線感知エネーブル制御信号発生回路11-1～11-nは、図5～図7に詳細を示してある。

【0014】図5の第1制御信号PRb1～PRbnを発生させるローストロブバッファ100は、外部システムクロックCLKを所定時間遅延させる偶数個のインバータチェーン5と、ワード線活性化時に外部電源電圧Vccにつながれ且つプリチャージ時に接地電圧Vssにつながれるスイッチ動作を行う活性化スイッチ80と、ワード線非活性化時に電源電圧Vccへつながれ且つプリチャージ動作時に接地電圧Vssへつながれるスイッチ動作を行うプリチャージスイッチ90と、バンク選択アドレス信号RAiを否定積演算するNANDゲート30と、ローアドレスストロブ信号バーRASをインバータ3で反転して受け、活性化スイッチ80の出力及びインバータ11により反転したNANDゲート30の出力と共に否定積演算するNANDゲート10と、ローアドレスストロブ信号バーRASをインバータ3で反転して受け、プリチャージスイッチ90の出力及びインバータ11により反転したNANDゲート30の出力と共に否定積演算するNANDゲート20と、両端が電源電圧Vccと接地電圧Vssとに接続され、NANDゲート10の出力信号、インバータチェーン5における奇数インバータの出力信号、NANDゲート20の出力信号、及びインバータチェーン5の出力信号をそれぞれゲート入力とするPMOSTランジスタ40、50及びNMOSTランジスタ60、70と、PMOSTランジスタ50のドレイン及びNMOSTランジスタ60のドレインの相互接続ノードn1に出力される信号をラッチするインバータチェーン7と、インバータチェーン7の

出力を反転して第1制御信号PRbiを出力するインバータ9と、から構成されている。この回路によると、ワード線の活性化時に第1制御信号PRbiは論理“ハイ”になり、プリチャージ時には論理“ロウ”になる。

【0015】図6のローアドレスサンプリング制御信号発生回路及びビット線感知エネーブル制御信号発生回路の回路図によると、活性化される各バンクが決定されることにより第1制御信号PRbiが発生し、この信号PRbiは、インバータ3、5を通じ所定時間遅延されてNORゲート50の一入力になる。更に、インバータ3、5を通過した信号は、偶数個のインバータからなるインバータチェーン7を通じて所定時間遅延後にNORゲート50の他入力となる。NORゲート50による否定和演算出力は、インバータチェーン13を通じて所定時間遅延後にローアドレスサンプリング制御信号RADSABbiとして出力される。

【0016】一方、ビット線感知エネーブル制御信号回路の方は、インバータ3、5の出力信号を所定時間遅延して反転する奇数個のインバータからなるインバータチェーン9と、インバータチェーン9の出力信号を所定時間遅延させる偶数個のインバータからなるインバータチェーン11と、インバータチェーン9の出力信号及びインバータチェーン11の出力信号を2入力として否定和演算するNORゲート80と、NORゲート80の出力信号を所定時間遅延して反転し、ビット線感知エネーブル制御信号SAEBbiを出力するインバータチェーン15と、から構成される。

【0017】この図6に示す回路の動作を次に説明する。ワード線活性化時、第1制御信号PRbiが論理“ハイ”になり、この信号に応じてインバータ3、5から所定の遅延時間後に同じ論理状態の信号が出力される。従って、インバータ3、5による論理“ハイ”とインバータチェーン7による遅延後の論理“ハイ”がNORゲート50で演算されるので、論理“ロウ”のショートパルスが発生する。これにより、インバータチェーン13の遅延時間後に論理“ロウ”のローアドレスサンプリング制御信号RADSABbiが発生される。一方、インバータ3、5を通過した論理“ハイ”信号は、インバータチェーン9を通じて所定時間遅延されて論理“ロウ”の信号として出力される。このインバータチェーン9による論理“ロウ”信号と、インバータチェーン11による所定時間遅延後の論理“ロウ”信号とがNORゲート80で演算される結果、論理“ハイ”が出力される。この論理“ハイ”信号がインバータチェーン15を通じることにより所定遅延時間後に反転した論理“ロウ”のビット線感知エネーブル制御信号SAEBbiが出力される。尚、ワード線非活性化時には、第1制御信号PRbiが論理“ロウ”入力されるので、上記同様の過程を通じることにより、ローアドレスサンプリング制御信号RADSABbi及びビット線感知エネーブル制

御信号SAEBbiは、論理“ハイ”で出力される。

【0018】図7は、ローアドレスサンプリング回路及びローデコーダの回路図である。図示のように、ローアドレスサンプリング制御信号RADSABbi及びこれをインバータチェーン3で反転遅延させた信号を演算するNORゲート100と、NORゲート100の出力を遅延して出力するインバータチェーン5と、からローアドレスサンプリング回路が構成されている。そして、インバータ7によりローアドレスサンプリング制御信号RADSABbiをゲートへ反転入力し、ソースを電源電圧Vccへ、ドレインを接続ノードn2へ接続したPMOSTランジスタ10と、接続ノードn2と接地電圧Vssとの間に直列接続され、ローアドレスプリデコーダによるローアドレスDRAij, DRAkl, DRAmn及びインバータチェーン5の出力信号をゲート入力とするNMOSTランジスタ20, 30, 40, 50と、接続ノードn2のラッチ用のインバータチェーン9と、遅延反転用のインバータチェーン11と、からローデコーダが構成されている。

【0019】この回路の動作について説明する。ローアドレスサンプリング制御信号RADSABbiがワード線活性化時に論理“ロウ”で入力されると、所定の遅延時間後にショートパルスの論理“ハイ”信号がローアドレスサンプリング回路500から出力される。そして、ローアドレスプリデコーダの出力であるローアドレスDRAij, DRAkl, DRAmnが論理“ハイ”の場合、NMOSTランジスタ20, 30, 40, 50はターンオンとなり、インバータ7による論理“ハイ”を受けるPMOSTランジスタ10はターンオフになる。これにより、接続ノードn2は論理“ロウ”の状態になる。接続ノードn2の論理“ロウ”はインバータチェーン9でラッチされ、インバータチェーン11を介して所定時間遅延された後に反転される結果、ワード線エネーブル制御信号WLEiが出力される。

【0020】一方、ワード線非活性化時は、ローアドレスサンプリング制御信号RADSABbiが論理“ハイ”で入力されるので、これに応じるローアドレスサンプリング回路500から出力される論理“ロウ”でNMOSTランジスタ50がターンオフになる。インバータ7による反転信号を受けたPMOSTランジスタ10はターンオンするので、接続ノードn2は電源電圧VccからPMOSTランジスタ10のしきい値電圧を引いた値の論理“ハイ”になる。この論理“ハイ”がインバータチェーン9によりラッチされ、このラッチ信号を遅延反転するインバータチェーン11からは論理“ロウ”のワード線エネーブル制御信号WLEiが出力される。

【0021】図8に、図3に示すようなバンクのロー活性化及びプリチャージ時の動作タイミングを示してある。

【0022】クロックCLKはシステムクロックであ

り、ローアドレスサンプリング制御信号RADSABb1, RADSABb2は、図8中2, 3の符号で示したロー活性化を与えるクロック部分で第1制御信号PRb1, PRb2によって論理“ロウ”にエネーブルされる。これにより、ローアドレスプリデコーダの出力線5に有効(Valid) ローアドレスが出力された後に図7のローアドレスサンプリング回路から論理“ハイ”が発生して該当ワード線エネーブル制御信号WLEiが論理“ハイ”になり、該当アドレスのワード線が論理“ハイ”の状態になる。また、図8中2, 3の符号で示したクロック部分では、第1制御信号PRb1, PRb2によりビット線感知エネーブル制御信号SAEBb1, SAEBb2がワード線エネーブル制御信号WLEiよりも遅く遅延して論理“ロウ”へエネーブルされる。これに従って、ビット線センスアンプ駆動信号LANGが論理“ハイ”、駆動信号LAPGが論理“ロウ”になる。つまり感知動作が開始される。

【0023】図8中1, 4で示すクロック部分でロープリチャージ命令が与えられると、第1制御信号PRb1, PRb2が論理“ロウ”になり、この第1制御信号PRb1, PRb2により制御信号PADSABb1, PADSABb2が論理“ハイ”になる。これでローデコーダ内部が論理“ハイ”の状態にプリチャージされることにより、制御信号WLEi1, WLEi2は論理“ロウ”にディスエーブルされ、該当ワード線WLiが論理“ロウ”ディスエーブルとなる。このときに、第1制御信号PRb1, PRb2が論理“ロウ”になるとエネーブル動作より少ない遅延でビット線感知エネーブル制御信号SAEBb1, SAEBb2は論理“ハイ”になる。そしてビット線センスアンプ駆動信号LANGが論理“ロウ”、駆動信号LAPGが論理“ハイ”になることでビット線センスアンプの動作がディスエーブルされる。

【0024】以上、本発明の実施形態を説明したが、本発明はこれに限られるものではなく、その他にも多様な形態が可能であることは勿論である。

【0025】

【発明の効果】本発明によれば、ローアドレスプリデコーダとローアドレスプリデコーダの出力線とを共有するマルチバンク構造の半導体メモリ装置において、ワード線の活性化及びプリチャージ、ビット線センスアンプの感知動作について効率的な動作時間制御を行え、且つ迅速な速度を得られるという長所がある。

【図面の簡単な説明】

【図1】従来におけるマルチバンク構造のメモリを示すブロック図。

【図2】従来におけるローアドレスプリデコーダ及びローアドレスプリデコーダの出力線を共有する積層マルチバンクの構造を示すブロック図。

【図3】本発明によるマルチバンク構造の制御経路を示

したブロック図。

【図4】本発明によるマルチバンク構造のマルチバンク制御信号発生回路を示したブロック図。

【図5】図4に示した第1制御信号発生回路（ローストロープバッファ）の回路図。

【図6】図4に示したローアドレスサンプリング制御信号発生回路及びビット線感知エネーブル制御信号発生回路の回路図。

【図7】図3に示したローアドレスサンプリング回路及びローデコーダの回路図。

【図8】図3に示したバンクのロー活性化及びプリチャ

ージ時の動作タイミングを説明する信号波形図。

【符号の説明】

10～n0 ローアドレスサンプリング回路及びローデコーダ

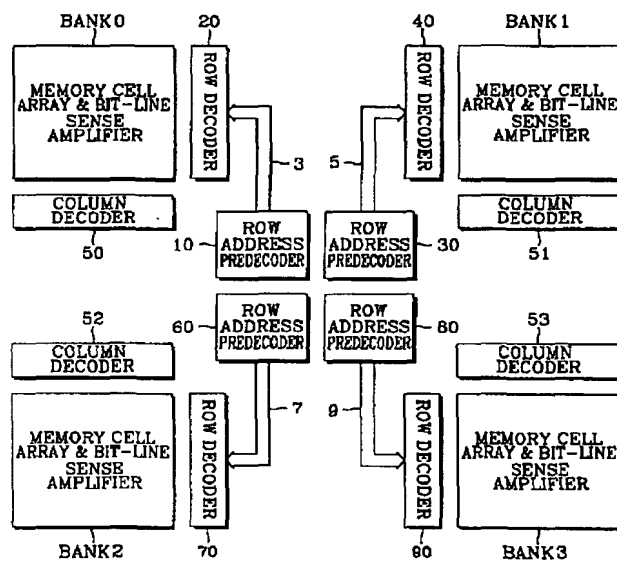
11～n1 ビット線センスアンプ駆動回路

10-1～10-n ローアドレスサンプリング制御信号発生回路

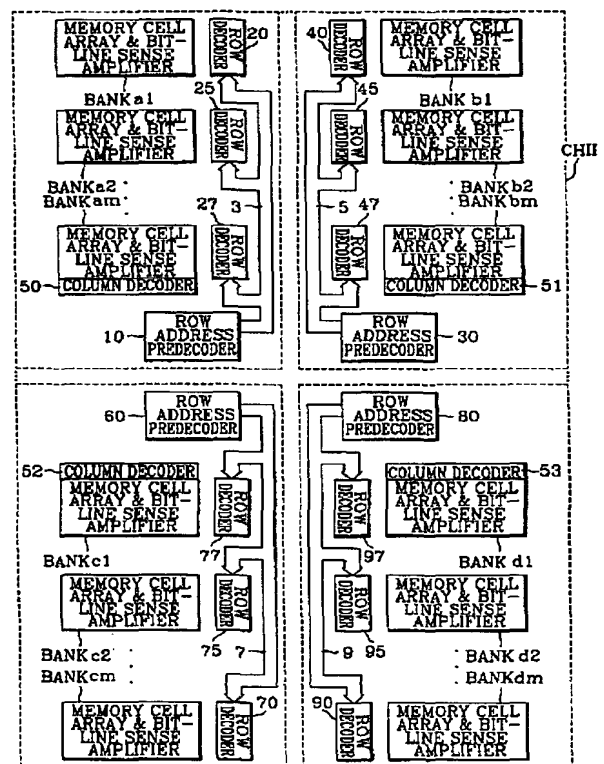
11-1～11-n ビット線感知エネーブル制御信号発生回路

100 ローストロープバッファ（第1制御信号発生回路）

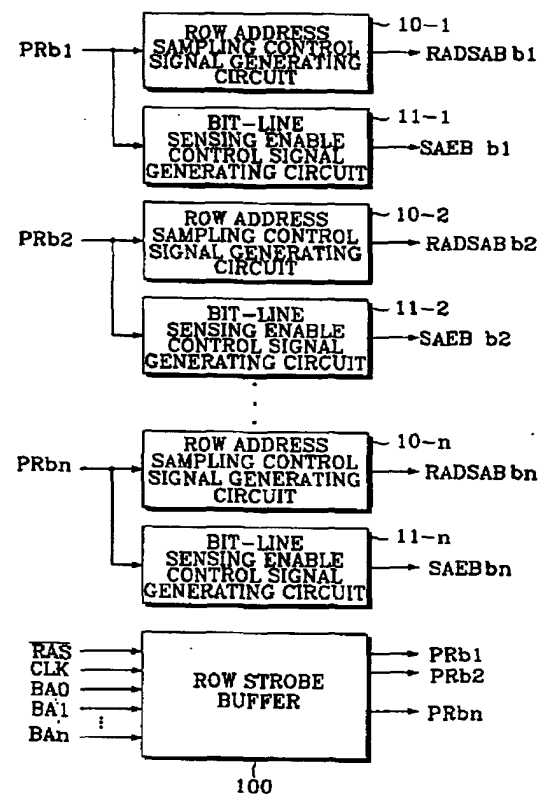
【図1】



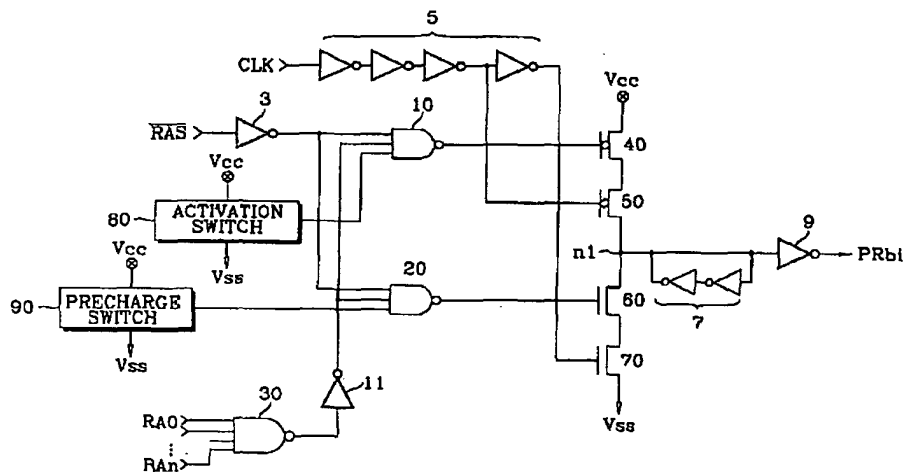
【図2】



【図4】



【図5】



[illegible]

The timing diagram illustrates the sequence of signals for the 68000 microprocessor across four sections (1, 2, 3, 4). The signals are listed on the left: CLK, RAS, PRb1, PRb2, RADSA b1, RADSA b2, WLEi2, WLEi1, WLi1, WLi2, SAE b1, SAE b2, LANG b1, LANG b2, LAPG b1, and LAPG b2. The diagram shows the timing relationships between these signals, including the duration of the RAS pulse and the timing of the address and data bus activity.